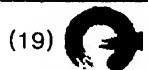


BEST AVAILABLE COPY



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number:

1020010009500 A

(43) Date of publication of application:

05.02.2001

(21) Application number: 1019990027886

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 10.07.1999

(72) Inventor:

SIM, JAE SEONG

(51) Int. Cl

G11B 20/12

(54) SCRAMBLER USING RANDOM DATA GENERATOR

(57) Abstract:

PURPOSE: A scrambler using a random data generator is provided to generate data of large capacity in an HD-DVD(high density digital versatile disc) as random data and to adopt a parallel random data generator.

CONSTITUTION: In a random data generator, an $m \times n$ decoder(100) provides m -bit input as n -bit output and registers(r_0-r_{n-1}) save the n bit. A selective output circuit provides 0 or register output as it is depending on effective bit of the n -bit output of the $m \times n$ decoder by receiving the n -bit output of the $m \times n$ decoder as a selecting signal. A logic circuit processes both n -bit output of the selective output circuit and registers through exclusive logical OR. The logic circuit inputs the exclusive logical OR result only for the effective bit of n -bit output to the lowest register as feedback. Therefore, the random data generator is possible to generate random data having a long cycle of over 64K.

COPYRIGHT 2001 KIPO

Legal Status

AL

특 2001-0009500

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ° G11B 20/12	(11) 공개번호 특2001-0009500
(21) 출원번호 10-1999-0027866	(43) 공개일자 2001년02월05일
(22) 출원일자 1999년07월10일	
(71) 출원인 삼성전자 주식회사 윤종용 경기 수원시 팔달구 매단3동 416	
(72) 발명자 심재성	
(74) 대리인 미영평, 권석봉, 이상용	

설명문구 : 영문**(54) 헌팅 데이터 발생기 및 이를 사용하는 스크램블러****도장**

헌팅 데이터 발생기 및 이를 사용하는 스크램블러가 개시되어 있다. 본 발명의 헌팅 데이터 발생기는 n 비트의 입력을 n 비트의 출력으로 제공하는 $n \times n$ 디코더, 직렬로 구성되어 n 비트를 시프트 저장하는 레지스터, $n \times n$ 디코더로부터 제공되는 n 비트의 출력을 선택 신호로 입력하여, $n \times n$ 디코더의 n 비트의 출력 중 유요한 비트에 대해서는 '0'을 제공하고, 그렇지 않으면 레지스터의 출력을 그대로 제공하는 선택 출력회로, 선택 출력 회로의 n 비트의 출력과 레지스터의 n 비트의 출력을 배타적 논리합하여, $n \times n$ 디코더의 n 비트의 출력 중 유요한 비트에 대해서만 배타적 논리합한 결과가 청취위 레지스터에 피드백 입력되는 높리 회로를 포함하여, 64K 이상의 간 주기의 헌팅 데이터 발생이 가능하며, $n \times n$ 디코더를 이용하여 $2^{n} \times 64K$ 주기의 헌팅 데이터 발생기의 구현이 가능하다.

도면번호**도 1****도 2****도 3**

도 1은 일반적인 DVD 시스템의 스크램бл러에서 사용하는 헌팅 데이터 발생기의 회로도이다.
 도 2는 도 1에 도시된 헌팅 데이터 발생기로부터 발생되는 헌팅 데이터 결과와 입력 데이터가 '00'일 때 스크램블 결과를 보인 태이블이다.
 도 3은 도 1에 도시된 레지스터에서 사용되는 초기값을 보인 태이블이다.
 도 4는 본 발명에 의한 시리얼 구조의 헌팅 데이터 발생기와 이를 사용하는 스크램бл러의 회로도이다.
 도 5는 도 4에 도시된 헌팅 데이터 발생기와 이를 사용하는 스크램бл러의 일 실시예에 따른 회로도이다.
 도 6은 도 5에 도시된 3×8 디코더의 입/출력의 예를 보인 태이블이다.
 도 7은 도 5에 도시된 3×8 디코더의 출력이 '1' 예로 '0A00h'일 때 헌팅 데이터 발생기와 이를 사용하는 스크램бл러의 회로도이다.
 도 8은 도 2에 도시된 헌팅 데이터 발생기의 헌팅 데이터 결과와 입력 데이터 '00h'에 대한 스크램블 결과를 보인 도면이다.
 도 9는 도 5에 도시된 헌팅 데이터 발생기에서 헌팅 데이터의 주기가 64이고, 유효 브랜치의 수가 4일 때 가능한 모든 경우의 3×8 디코더의 출력을 보인 태이블이다.
 도 10은 도 5에 도시된 헌팅 데이터 발생기에서 헌팅 데이터의 주기가 64이고, 유효 브랜치의 수가 6일 때 가능한 모든 경우의 3×8 디코더의 출력을 보인 태이블이다.
 도 11은 도 4에 도시된 헌팅 데이터 발생기와 이를 사용하는 스크램бл러의 다른 실시예에 따른 회로도이다.
 도 12는 도 11에 도시된 1~2 디코더의 예를 보인 태이블이다.

도 13은 도 11에 도시한 1×2 디코더의 출력이 “8400”일 때의 한정 데이터 출과와 입력 데이터 “000”에 대한 소크행을 표한 도면이다.

도 14는 도 11에 도시된 1×2 디코더의 출력으로 "B4000"과 "C4000" 두 가지를 사용할 때 편집 데이터 평화와 헤더 데이터 "000"에 대한 스트리밍 헬프라를 보인 데이터이다.

또 15분 끝나면서 역할과 구조의 텐션 데이터 발생 기준 아래 사용하는 스크립팅러의 확장도이다.

도 16은 도 15에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크립트들의 일상시례에 따른 최종 도이다.

卷之三

卷之三

新嘉坡 檀香山 沙加漢 美國 花旗哥士打屋

데이터 헌장화 분야에 관한 것으로, 특히 고급도 항 디스크 시스템에 적합한 헌을 데이터 발생기와 이를 사용하는 스크립트리에 관한 것이다.

엔딩 데이터를 찾기 위한 입력되는 투정값의 디미터를 날수로 만들어 주는 장치로서, 광 디스크에 물어 CD-ROM(Capacity Disc Random Only Memory) 또는 DVD(Digital Versatile Disc) 등을 사용하는 광 디스크 시스템의 소크램블러(scrambler)에 적용되고 있다.

웹반응형으로 데이터 스크랩핑의 목적은 키(key)를 갖고 있지 않은 사용자로부터 데이터를 보호하기 위한
수단으로 많이 사용되고 있으며, 통신을 통해 보호 통신(security communication) 목적으로 네트워크 사용도
고 있는 핸들링화의 한 방법이다.

디스크 시스템에서 입력 데이터를 소크럼을하는 주요한 첫 번째 이유로는 차동 회상(Differential Phase Detection)이 이를 통해 토레이팅 제어를 활성화할 수 있게 되었기 때문이다. 단일, 풍선, 헤드리스 데이터가 입력을 통해 일련의 코드 패턴이 디스크 상의 인접 토레이팅 면에 생성될 때마다 서보부(serve unit)에서 토레이팅 제어가 어려워졌다. 때로 들어, 소크럼을하지 않는 CI-Audio 경우, 축과 퓨사이 구간(data unit) 모두 “비구간”에서 DPD 제어가 대실했다.

세 번째 이유는 블록 데이터를 보호하기 위함이다. CD-ROM(Read Only Memory)의 경우는 데이터내의 섹크 헤더(DOH, FFh, FFh, ..., FFh, 00h)를 보호하기 위하여 섹크를 제외한 나머지 데이터만 스크립트를 수행한다. 도 1은 일반적인 DVD 시스템의 스크립트러에 사용되는 랜덤 데이터 발생기의 최종도로서, 빠타적 논리합 게이트(10)와 랜덤 데이터를 재생하는 레지스터(r_1 , r_n)를 랜덤 데이터 발생기라고 하고, 이 랜덤 데이터 발생기와 논리합 게이트들(11 ~ 18)을 포함해서 스크립트라고 한다.

도 108 있어서, 15 비트의 레지스터($r_0 \sim r_{15}$)는 도연에는 도시되지 않았지만 소크행 풀을 위한 풀역 입력에 통기해서 시프트 레프트(Shift Left)한다. 최하위 레지스터(r_0)의 입력은 배타적 논리합(Exclusive OR: XOR) 게이트(10)로부터 제공되는 최상위 레지스터(r_{15})의 출력과 11번째 하위 레지스터(r_9)의 출력을 배타적 논리합한 값이 된다.

도 10에 도시된 행딩 데이터 발생기의 렌딩 데이터 발생 주기는 22K(kilo)이며, 이 렌딩 데이터 발생 주기는 0MByte 1 ECC(Error Correction Code) 블록의 크기인 22K와 일치한다. 즉, 1 ECC 블록내에서는 주기성이 없는 렌딩값을 발생시키며, 레지스터를 8번 시프트 래프트(shift left)한 후 XOR 게이트($11 \sim 18$)에서 하위 8비트의 레지스터($r_{11} \sim r_8$)의 출력과 입력 데이터($D_{11} \sim D_8$)를 패턴적 논리합집합으로써 스크립트를 결과가 얻어진다. 여기서, 도면에는 도시되지 않았지만 XOR 게이트($11 \sim 18$)에 입력되는 데이터 출력 속도는 레지스터($r_{11} \sim r_8$)에 입력되는 스크립트 출력 속도보다 1/8의 속도를 갖는다.

도 2는 도 1에 도시된 레지스터($r_1 \sim r_n$)의 초기값을 16진수로 '0001H'로 설정하고, 입력 데이터 ($D_1 \sim D_n$)가 '0001'일 때 레지스터($r_1 \sim r_n$)의 핸들 데이터 결과와 스크램블 결과($D_1 \sim D_n$)를 보인 예이플이다. 도 2에서 핸들 데이터의 주기가 328(32788)임을 알 수 있다.

여기서, 레지스터(r_0 , r_1)를 예로 드면 그에 대한 초기화는 소스코드를 하기 때문에 기본적으로 단위인 섹터의 선두에 할당된 4비트의 시작코드(10) 중 마지막 1비트의 상위 4비트(10:7:4)를 참조하여 초기값으로 레지스터(r_0 , r_1)를 초기화시키는 대 이때 초기값을 설정하는 데 주의를 해야 한다. 즉, 동일한 데이터가 입력된다라도 그 섹터 내에서는 초기화된 값으로부터 해당 데이터가 발생하거나 그 섹터내의 값을 1 FCC

제1장(16챕터)은 풀어서다.

도 3에 도시된 바와 같이, 최초의 레지스터($r_0 \sim r_4$)의 초기값 "0001h"와 "0001h"를 7번까지 시프트 레프트한 값을(0002h, 0004h, 0008h, 0010h, 5000h, 2001h, 4002h)과 이를 값이 리턴하는데 필요한 총량 16B(~2K×8)미초의 레지스터($c_0 \sim c_4$)의 값인 "5600h"와 "5600h"를 7번까지 시프트 레프트한 값을(2400h, 5400h, 2800h, 5000h, 2001h, 4002h, 0002h)을 레지스터($c_0 \sim c_4$)의 초기값으로 사용하고 있다.

그러나, 종래의 헌법 데이터 발성기와 이를 사용하는 스크립트러는 32K보다 큰 추가의 헌법 데이터 발생과 스크립트을 필요로 할 때 대용이 만족되는 문제점이 있었다.

卷之三

상기한 문제점을 해결하기 위하여, 표 1을 링크하는 대용량의 데이터를 랜덤 데이터로 발생시키는 시리즈 구조의 랜덤 데이터 발생기를 제작하는데 있다.

또한 다른 층위는 시리얼 구조의 템포 데이터 발생기를 채용한 고정도 왓 디스크 시스템의 스크립트를 처리하는 데 있다.

또 다른 특성은 대상의 데이터를 한데 데이터로 발생시키는 패러렐 구조의 헌터 데이터 발생 기능 제공하는 데 있다.

또 다른 목적은 패러렐 구조의 텐덤 데이터 발생기를 채용한 고밀도 광 디스크 시스템의 소프트웨어를 개선하는 데 있다.

성기한 특징들을 완성하기 위하여, 본 발명의 헌법 데이터 발생기는 네트의 입력을 네트의 출력으로 제공하는 $\pi \times \pi$ 디코더, 직렬로 구성되어 네트를 시프트 저장하는 레지스터, $\pi \times \pi$ 디코더로부터 제공되는 네트의 출력을 선형 신호로 입력하여, $\pi \times \pi$ 디코더의 네트의 출력 중 유호한 비트에 대해서는 “0”을 제공하고, 그렇지 않으면 레지스터의 출력을 그대로 제공하는 선형 출력 회로와 레지스터의 출력과 레지스터의 출력을 뼈대적 논리합하여, $\pi \times \pi$ 디코더의 네트의 출력 중 유호한 비트에 대해서만 뼈대적 논리합한 결과가 최하위 레지스터에 피드백 입출력되는 놀리 회로를 포함하여, 레지스터로부터 네트의 헌법 데이터가 발생되는 것을 특징으로 하고 있다.

이 시리얼 구조의 랜덤 데이터 발생기는 고급도 와 디스크 시스템의 스크램블러에 적용되며, 소프트웨어로 랜덤 데이터 발생기와 소정수의 하위 레지스터의 충돌과 일치 데이터를 제거함으로써 시스템 관리를 용이하게 하는 것임을 확정으로 하고 있다.

본 발명의 한实施 예인 데이터 발생기기는 대의 병렬로 구성되며, 각 논리 회로는 2개의 출력을 제공하는 빠른 적
진입하는 논리 회로로 부터 제공되는 2개의 출력 중 하나를 선택하여 신호에 따라 각 논리 회로로부터
제공하는 선택 출력을 통해 구조화된 신호를 제공하는 구조로 구성된다. 2개의 상위 레지스터는 2개의 출력
제공하는 신호와 함께 2개의 하위 레지스터의 출력을 통합하고, 개별의 하위 레지스터를 통한
구조화된 신호를 제공하는 레지스터를 포함하는 것으로 하고 있다.

이 폐허형 구조의 랜덤 데이터 발생기는 고급도 풍미스터 시스템의 스크립트 언어에 적용되며, 스크립트 언어에 허용되는 대여터 발생기와, 소수수의 하위 레지스터의 충합과 인력 데이터를 빠르게 처리하여 시스템을 제작하는 것을 특점으로 하고 있다.

卷之三

미하, 협부원 도면을 첨조하여 본 항영에 의한 현업 데이터 발생기와 이를 사용하는 스크립트들의 바람직한 실시예를 설명하기로 한다.

도 4는 본 발명에 의한 시리얼 구조의 헨팅 데이터 발생기와 이를 사용하는 스크램블러의 회로도로서, 헨팅 데이터 발생기는 \oplus n 디코더(100), n개의 멀티플렉서(\oplus ~ \oplus), n개의 XOR 게이트(\oplus ~ \oplus), n개의 레지스터(r_0 ~ r_{n-1})를 포함하고, 스크램블러는 상술한 구성을 갖는 헨팅 데이터 발생기와 입력 데이터(0 ~ 8)와 랜덤스터(r_0 ~ r_{n-1})의 각 출력을 별다른 논리합하여 XOR 게이트(\oplus ~ \oplus 100)로 구성되어 있다. 여기서, n개의 멀티플렉서를 \oplus ~ \oplus n 디코더(100)의 n비트의 출력에 따른 “0” 또는 각 레지스터의 출력을 선택출력하는 선택출선회로로, n개의 XOR 게이트를 n비트의 별다른 논리합 결과를 재구하는 논리회로로 치환될 수 있다.

도 48에 있어서, 각 디코더(D00)는 브리트의 입력을 브리트의 출력으로 제공하고, 각 디코더 멀티플렉서(Mux)는 각 디코더(D00)의 브리트의 출력($D_{00}, \neg D_{00}$)을 선택 신호로 입력해서, 각 디코더(D00)의 브리트의 출력($D_{00}, \neg D_{00}$)의 값이 “1”일 때는 제1 입력단(A)으로 입력되는 “0”을 출력 신호($D_{00}, \neg D_{00}$)로서 각 XOR 게이트($G_0, \neg G_0$)의 각 원단에 제공한다. 이때, 각 XOR 게이트($G_0, \neg G_0$)는 각 단단으로 입력되는 각 레지스터(Register)의 출력($S_0, \neg S_0$)을 그대로 출력하게 되고, 결국 누적된 XOR 게

이트(r_0)의 출력값이 최하위 레지스터(r_0)에 피드백 입력된다.

또한, 각 멀티플렉서($r_0 \sim r_{n-1}$)는 $n \times n$ 디코더(100)의 n 비트의 출력($D_{00} \sim D_{0n-1}$)값이 “0”일 때는 각 제2 입력단(B)으로 입력되는 레지스터($r_0 \sim r_{n-1}$)의 출력($S_0 \sim S_{n-1}$)을 자신의 출력($N_{00} \sim N_{0n-1}$)으로 제공하면, 각 XOR 게이트($B_0 \sim B_{n-1}$)는 각 멀티플렉서($r_0 \sim r_{n-1}$)의 출력인 $S_0 \sim S_{n-1}$ 과 각 레지스터($r_0 \sim r_{n-1}$)의 출력인 $S_0 \sim S_{n-1}$ 자신과 별다른 논리합한다. 이때, 각 XOR 게이트($B_0 \sim B_{n-1}$)의 출력이 결국 “0”이 되어 최하위 레지스터(r_0)에 피드백 입력되는 값은 없다.

이렇게 n 개의 레지스터($r_0 \sim r_{n-1}$)로부터 n 비트의 랜덤 데이터가 발생되고, XOR 게이트(101 ~ 108)로부터 입력 데이터($0 \sim 4$)와 하위 4개의 레지스터($r_0 \sim r_3$)의 각 출력을 별다른 논리합한 스크램블 결과가 제공된다.

도 5는 도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 일 실시예에 따른 회로도이다. 3×8 디코더(110)의 출력은 3비트로 하고, 출력은 8가지의 16비트($D_{00} \sim D_{07}$)로 한다. 이 3×8 디코더(110)의 입력에 따른 그 출력의 일 예는 도 6에 도시되어 있다.

예를 들어, 3비트의 입력값이 “100b”으로 입력되면, 3×8 디코더(110)의 출력값은 도 6에 도시된 바와 같이 “C400b”가 되므로 3×8 디코더(110)의 출력 $D_{00}, D_{01}, D_{02}, D_{03}, D_{04}, D_{05}, D_{06}, D_{07}$ 이 “0”이 되므로 멀티플렉서(r_0, r_1, r_2, r_3)의 출력 $N_{00}, N_{01}, N_{02}, N_{03}, N_{04}, N_{05}, N_{06}, N_{07}$ 이 “0”가 되어 XOR 게이트(B_0, B_1, B_2, B_3)의 단단으로 입력되는 해당 레지스터(r_0, r_1, r_2, r_3)의 출력 S_0, S_1, S_2, S_3 을 자신의 출력으로 제공하게 되므로, 상위 XOR 게이트(B_4, B_5, B_6, B_7)의 출력값이 유동하다. 나머지 멀티플렉서($r_4, \dots, r_7, r_{12}, r_{13}, r_{14}$)의 출력은 레지스터($r_4, \dots, r_7, r_{12}, r_{13}, r_{14}$)의 출력 $S_4, \dots, S_7, S_{12}, S_{13}, S_{14}$ 이 되므로 해당 XOR 게이트($B_4, \dots, B_7, B_{12}, B_{13}, B_{14}$)의 각 단단으로는 각 멀티플렉서($r_4, \dots, r_7, r_{12}, r_{13}, r_{14}$)의 출력 $S_4, \dots, S_7, S_{12}, S_{13}, S_{14}$ 과 각 단단으로 입력되는 레지스터($r_4, \dots, r_7, r_{12}, r_{13}, r_{14}$)의 출력 $S_4, \dots, S_7, S_{12}, S_{13}, S_{14}$ 을 별다른 논리합하게 되고, 그 XOR 게이트($B_4, \dots, B_7, B_{12}, B_{13}, B_{14}$)의 출력값은 “0”이 된다.

예를 들어, 멀티플렉서(r_0)의 경우 2×8 디코더(110)의 출력(D_{00})의 값이 “0”이므로 제2 입력단(B)으로 입력되는 레지스터(r_0)의 출력(S_0)을 자신의 출력(N_{00})으로 제공하고, 결국 XOR 게이트(B_0)는 S_0 와 S_0 가 별다른 논리합하게 되면 그 출력이 “0”이 되므로 이는 미 XOR 게이트(B_0)와 보랜치(G_0, N_{00})가 무효가 된다는 의미와 동일하고, 결국 2×8 디코더(110)의 출력값 “C400b”에 대해 간단한 구조로 구현하면 도 7에 도시된 바와 같은 구조를 가지게 된다.

도 7에 도시된 바와 같이, 도 5에 도시된 3×8 디코더(110)의 출력값이 “C400b”일 때 레지스터($r_0 \sim r_3$)를 8회 시프트 오프트한 후 랜덤 데이터를 추출하면 미 경우의 레지스터($r_0 \sim r_3$)의 랜덤 데이터는 도 8에 도시된 바와 같으며, 1 주기가 64K(65536)임을 알 수 있다.

한편, 도 5에 도시된 3×6 디코더(110)의 출력에 따라 랜덤 데이터 발생기의 XOR 게이트($B_0 \sim B_5$)의 유효 보랜치가 달라져서 랜덤 데이터 발생기의 구조가 바뀌게 되며, 이에 따라 $6 \times 64K$ 주기의 랜덤 데이터 발생이 가능해진다. 이는 도 5에 도시된 바와 같은 구조로 염마든지 간 주기의 랜덤 데이터 발생기의 구현이 가능하다는 것을 의미하며, 도 5에 도시된 구조에서 64K의 주기의 랜덤 데이터 발생이 가능한 3×6 디코더(110)의 값을 정리하면 도 9 및 도 10에 도시된 바와 같다.

도 9는 도 5에 도시된 랜덤 데이터 발생기의 XOR 게이트($B_0 \sim B_5$)의 유효 보랜치의 수가 4인 경우 모든 가능한 경우의 보랜치값 총, 3×6 디코더(110)의 출력($D_{00} \sim D_{05}$)값을 정리한 테이블이고, 도 10은 도 5에 도시된 랜덤 데이터 발생기의 XOR 게이트($B_0 \sim B_5$)의 유효 보랜치의 수가 6인 경우 모든 가능한 경우의 보랜치값 총, 3×6 디코더(110)의 출력($D_{00} \sim D_{05}$)값을 정리한 테이블이고, 유효 보랜치의 수가 8, 10 또는 12인 경우도 있을 수 있다.

따라서, 본 발명의 실시예로서 랜덤 데이터의 주기를 64K로 하고, 이를 구현할 수 있는 보랜치값을 제시하고 있으며, 또한 그 주기를 더욱 확장할 수 있도록 도 4에 도시된 바와 같이 $n \times n$ 디코더를 두어 랜덤 데이터의 주기를 $2^n \times 64K$ 로 확장할 수 있다.

도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 다른 실시예에 따른 회로도는 도 11에 도시되어 있으며, 이 구조로 가능한 간단한 하드웨어로 간 주기의 랜덤 데이터를 발생하는 장치를 제시하고자 한다.

도 11에 있어서, 64K 랜덤 데이터 주기가 가능한 보랜치 구조 중 가능한 공통 부분이 많은 “6400b”와

"CA00h"를 선택하고, 1×2 디코더(140)의 내용은 도 12에 도시되어 있다. 1×2 디코더(140)의 출력이 콩 통으로 "0"인 0e~0e에 해당하는 브랜치는 모두 제거한다.

예를 들어, 1×2 디코더(140)의 1비트의 입력이 "0b"일 때 1×2 디코더(140)의 출력은 "B400h"가 되어 브랜치 D0e, D0e, D0e는 무효화되며, 이때 레지스터(r_e~r_e)로부터 제공되는 헨팅 데이터 결과와, 8비트 입력 데이터(D₀~D₇)가 "00b"일 때 XOR 게이트(151~158)로부터 제공되는 스크램블 결과를 정리한 태이블은 도 13에 도시되어 있다.

따라서, 도 13에 도시된 태이블은 레지스터(r_e~r_e)를 8회 시프트 해프트할 때마다 헨팅 데이터를 추출한 결과이며, 1 주기가 64K(65536)임을 알 수 있다. 결국은 입력 데이터(D₀~D₇)를 스크램블한 결과(0e~0e)가 최종 사용하고자 하는 데이터가 된다.

한편, 도 11에 도시된 1×2 디코더(140)의 1비트의 입력이 "1b"일 때 1×2 디코더(140)의 출력은 "CA00h"가 되며, 이때, 레지스터(r_e~r_e)로부터 제공되는 헨팅 데이터 결과와, 8비트 입력 데이터(D₀~D₇)가 "00b"일 때 XOR 게이트(151~158)로부터 제공되는 스크램블 결과는 도 6에서 설명한 내용과 동일하다.

따라서, 도 11에 도시된 구조로 가능한 헨팅 데이터 결과 및 데이터 "00h"에 대한 스크램블 결과를 정리한 태이블은 도 14에 도시되어 있고, 주기를 간단히 2 × 54K로 놓칠 수 있다.

도 15는 본 발명에 의한 헤더를 구조으로 구현한 헨팅 데이터 발생기와 이를 사용하는 스크램블러의 구조를 보이고 있고, 이 구조는 고속 신호 처리가 요구되는 시스템에 유리하다.

도 15에 도시된 구조는 8회 시프트 해프트한 결과를 각 레지스터(r_e~r_e)에 병렬로 바로 입력시키기 때문에 상위 레지스터 r_e부터 r_e까지는 레지스터 r_e~r_e의 출력인 S_e~S_e가 입력되며, 하위 레지스터 r_e~r_e의 입력은 예로서, 도 9 또는 도 10에 도시된 브랜치의 구조 중에서 어떤 것을 선택하느냐에 따라 달라진다. 또한, 하위 레지스터 r_e~r_e를 8개로 도시되어 있지만 입력 데이터 비트(p)에 따라 달라질 수 있다.

멀티플렉서 s_e~s_e는 8비트의 선택 신호에 따라 각 멀티적 논리합 게이트(201~208)를 통해 제공되는 2⁸ 가지의 입력 중 하나를 선택하여 각 레지스터 r_e~r_e에 제공한다. 여기서, XOR 게이트들(201~208)은 여러 개의 XOR 게이트의 조합으로 구성되어, 상세한 및 실시예로 도 11에 도시된 사리형 형태의 헨팅 데이터 발생기와 이를 사용하는 스크램블러를 헤더를 형태로 구현한 최종도는 도 16에 도시되어 있다.

도 16에 있어서, 도 11에 도시된 1×2 디코더(110)의 출력 "CA00h"에 해당하는 각 멀티플렉서(s_e~s_e)의 선택 신호(SEL)가 "1" 일 때 도 11에서 시프트 해프트를 8번 수행한 후의 레지스터(r_e~r_e)의 내용과 동일한 내용이 병렬로 아래와 같이 입력된다.

즉, 병렬로 구성된 각 레지스터(r_e~r_e)에는 각 레지스터(r_e~r_e)의 출력인 S_e~S_e가 각각 입력되며, 각 레지스터(r_e~r_e)는 각 멀티플렉서(s_e~s_e)의 제1 입력단(A)을 통해 각각 (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e)의 결과가 입력된다.

또한, 도 11에 도시된 1×2 디코더(140)의 출력 "B400h"에 해당하는 각 멀티플렉서(s_e~s_e)의 선택 신호(SEL)가 "0"이면 각 레지스터(r_e~r_e)에는 각 레지스터(r_e~r_e)의 출력인 S_e~S_e가 각각 입력되며, 각 레지스터(r_e~r_e)는 각 멀티플렉서(s_e~s_e)의 제2 입력단(B)을 통해 (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e), (S_e⊕S_e⊕S_e⊕S_e)의 결과가 각각 입력된다.

각 레지스터(r_e~r_e)로부터 제공되는 헨팅 데이터 결과와 각 XOR 게이트(241~248)로부터 제공되는 입력 데이터(D₀~D₇)가 "000b"에 대한 스크램블한 결과(0e~0e)는 도 14에 도시된 태이블과 같다.

도 11에 도시된 시리얼 구조에서는 각 레지스터(r_1, r_2)를 8번 시프트 셀프트을 한 후 렌덤 데이터 결과와 스코램블 결과를 구하며, 각 레지스터(r_1, r_2)에 제공되는 스코램бл 출력이 XOR 게이트(151~158)에 제공되는 데이터 출력의 예로 높은 출력을 사용하여야 하는 반면 도 16에 도시된 패러렐 구조는 1번만 시프트를 하여도 동일한 결과를 얻을 수 있으며, 각 레지스터(r_1, r_2)에 제공되는 스코램бл 출력과 XOR 게이트(241~248)에 제공되는 데이터 출력은 동일한 속도를 가지며, 시리얼 구조의 데이터 출력과 동일 속도를 갖는 출력을 사용하게 된다.

따라서, 도 11에 도시된 시리얼 구조는 패러렐 구조보다 간단하나 동작 속도가 빨리야 한다는 단점이 있고, 도 16에 도시된 패러렐 구조는 동작 속도가 시리얼 구조 대비 1/8로 낮으나 회로가 다소 복잡하다는 단점이 있을 수 있으므로 상황에 따라 선택해서 사용하면 된다.

3.5.2. 랜덤 데이터

본 발명은 64K 이상의 긴 주기의 랜덤 데이터 발생이 가능하여, $n \times n$ 디코더를 이용하여 $2^m \times 64K$ 주기의 랜덤 데이터 발생기의 구현이 가능하다.

또한, 본 발명은 향후의 HD(High Density)-MD와 같은 고용량의 광 디스크 시스템 등의 스코램블러를 위한 랜덤 데이터 발생기로 사용이 가능하다.

3.6. 헤드의 특성

청구항 1. n -비트의 입력을 n -비트의 출력으로 제공하는 $n \times n$ 디코더;

직렬로 구성되며, n -비트를 시프트 저장하는 레지스터;

상기 $n \times n$ 디코더로부터 제공되는 n -비트의 출력을 선택 신호로 입력하여, 상기 $n \times n$ 디코더의 n -비트의 출력 중 유 효한 비트에 대해서는 "1"을 제공하고, 그렇지 않으면 상기 레지스터의 출력을 제공하는 선택 회로; 및

상기 선택 출력 회로의 n -비트의 출력과 상기 레지스터의 n -비트의 출력을 병렬적 논리합하여, 상기 $n \times n$ 디코더의 n -비트의 출력 중 유 효한 비트에 대해서만 병렬적 논리합한 결과가 하위 레지스터에 피드백 입력되는 논리 회로를 포함하여,

상기 레지스터로부터 n -비트의 랜덤 데이터가 발생되는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 2. 제1항에 있어서, 상기 $n \times n$ 디코더에 의해 n -비트의 입력에 대해 2^n 가지의 n -비트를 출력하여 상기 랜덤 데이터의 주기를 2^n 배 확대하는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 3. 제1항에 있어서, 상기 $n \times n$ 디코더를 n 은 16으로 하고, 소정의 보랜치값이 선택되면 랜덤 데이터의 주기는 2^n (=64K)가 되는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 4. 제1항에 있어서, n -비트의 선택 신호를 입력하고 n 은 16으로 했을 때, 상기 $n \times n$ 디코더는 $n \times 16$ 디코더가 되고, 랜덤 데이터의 주기가 $2^n \times 64K$ 의 주기를 가지는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 5. 제1항에 있어서, 상기 $n \times n$ 디코더는 3×8 디코더이며, 랜덤 데이터의 주기가 $8 \times 64K$ 의 주기를 가지는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 6. 제1항에 있어서, 상기 $n \times n$ 디코더는 1×2 디코더이며, 랜덤 데이터의 주기가 $2 \times 64K$ 의 주기를 가지는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 7. 제1항에 있어서, 상기 $n \times n$ 디코더의 출력의 유효한 보랜치의 수가 4 이상이인 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 8. 제1항에 있어서, 상기 유효한 보랜치의 수는 도 9 및 도 10에 도시된 보랜치값에 의해 결정되는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 9. 제1항에 있어서, 상기 랜덤 데이터 발생기는 광 디스크 시스템의 스코램블러에 적용되며, 상기 스코램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 병렬적 논리합하여 스코램블 결과를 제공하는 것을 특정으로 랜덤 데이터 발생기.

청구항 10. 직렬로 구성되며, n -비트를 시프트 저장하는 레지스터; 및

직렬로 구성되며, 소정의 보랜치값의 유효한 보랜치의 수에 대응하는 상기 레지스터의 출력과 만진한 높은 개이트와 출력을 병렬적 논리합한 결과가 하위 레지스터에 피드백 입력되는 복수개의 논리 개이트로 구성되는 논리 회로를 포함하여,

상기 레지스터로부터 n -비트의 랜덤 데이터가 발생되는 것을 특정으로 하는 랜덤 데이터 발생기.

청구항 11. 제10항에 있어서, 상기 유효한 보랜치의 수는 4이상이고, 상기 유효한 보랜치의 수는 도 9 및 도 10은 도시된 보랜치값에 의해 결정되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 12. 제10항에 있어서, 상기 n은 16으로 하면 랜덤 데이터의 주기는 2^n (=64K)가 되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 13. 제10항에 있어서, 상기 랜덤 데이터 발생기는 팔 디스크 시스템의 스크램블러에 적용되어, 상기 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리 합하여 스크램블 결과물을 제공하는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 14. p개의 병렬로 구성되며, 각 논리 회로는 2개의 출력을 제공하는 배타적 논리합하는 논리 회로;

비트의 선택 신호에 따라 각 논리 회로로부터 제공되는 2개의 출력 중 하나를 선택하여 p개의 출력을 제공하는 선택 출력 회로; 및

병렬로 n개로 구성되며, n-p개의 상위 레지스터는 p개의 하위 레지스터의 출력을 제공받고, 상기 p개의 하위 레지스터는 상기 선택 출력 회로의 p개의 출력을 제공받아 랜덤 데이터를 발생하는 레지스터를 포함하는 랜덤 데이터 발생기.

청구항 15. 제14항에 있어서, 상기 레지스터로부터 제공되는 랜덤 데이터의 주기를 2^n 배 확대하는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 16. 제14항에 있어서, 비트의 선택 신호를 입력하여 n은 16으로 했을 때, 상기 레지스터로부터 제공되는 랜덤 데이터의 주기가 $2^n \times 64K$ 의 주기를 가지는 것을 특징으로 하는 랜덤 데이터 발생기.

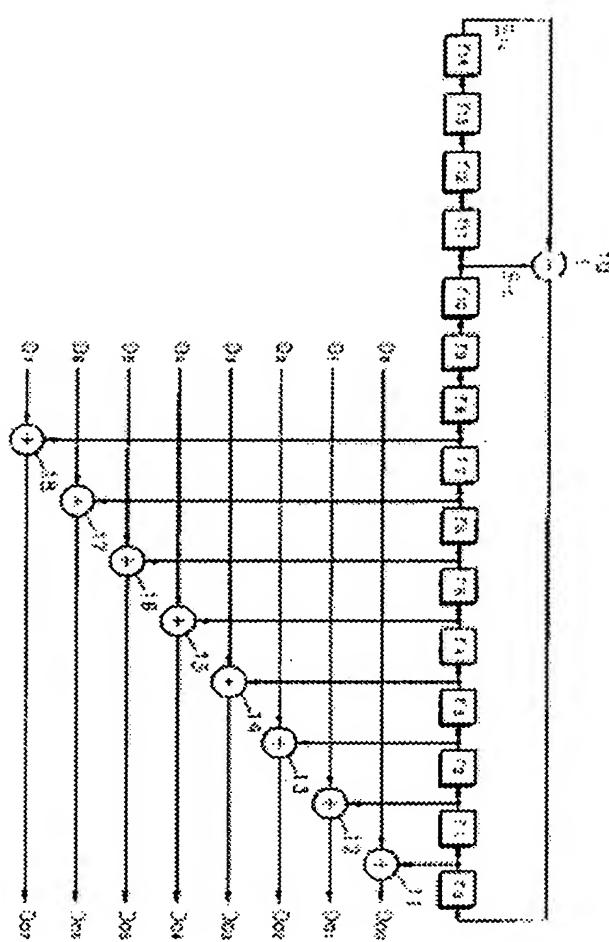
청구항 17. 제14항에 있어서, 상기 p개의 하위 레지스터의 입력은 도 9 및 도 10은 도시된 보랜치값에 의해 결정되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 18. 제14항에 있어서, 상기 논리 회로는 8×2^2 개의 배타적 논리합 게이트로 구성되고, 상기 선택 출력 회로는 3비트의 선택 신호를 이용하여 상기 논리 회로로부터 제공되는 8개의 출력을 선택해서 8개의 하위 레지스터에 제공하고, 나머지 상위 레지스터는 상기 8개 하위 레지스터의 출력을 제공받는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 19. 제14항에 있어서, 상기 랜덤 데이터 발생기는 팔 디스크 시스템의 스크램бл러에 적용되어, 상기 스크램бл러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리 합하여 스크램블 결과물을 제공하는 것을 특징으로 하는 랜덤 데이터 발생기.

도 8

E87



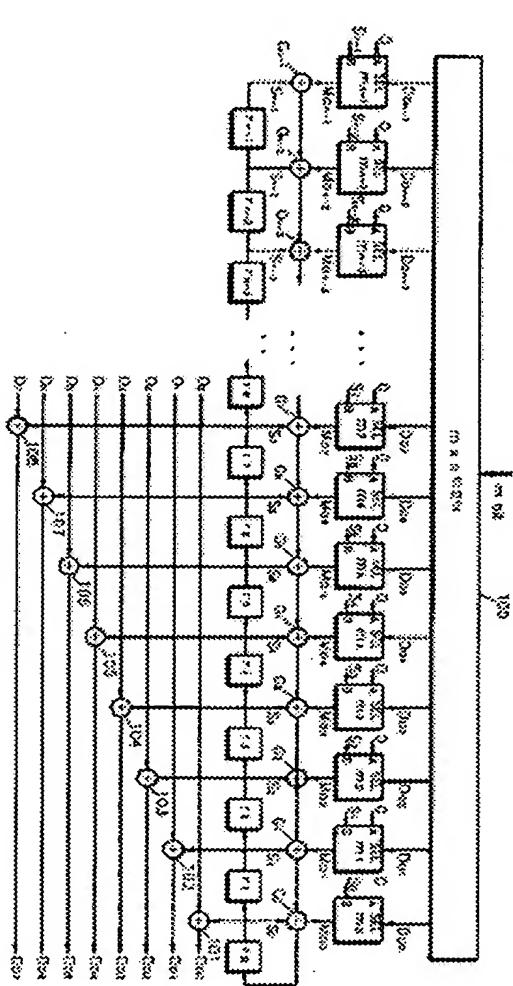
E88

NO	현장제어신호 (A1~A8)	수신신호 (D1~D8)	NO	현장제어신호 (A1~A8)	수신신호 (D1~D8)
1	0001h	01h	~	4388h	83h
2	0100h	00h	32767	0880h	80h
3	0022h	22h	32768	0003h	01h
4	2204h	04h	32769	0100h	00h
5	0404h	04h	32770	0022h	22h
6	0488h	88h	32771	2204h	04h
7	0898h	98h	32772	0404h	04h
8	1802h	02h	32773	0488h	88h
9	0230h	30h	32774	0898h	98h
~	~	~			

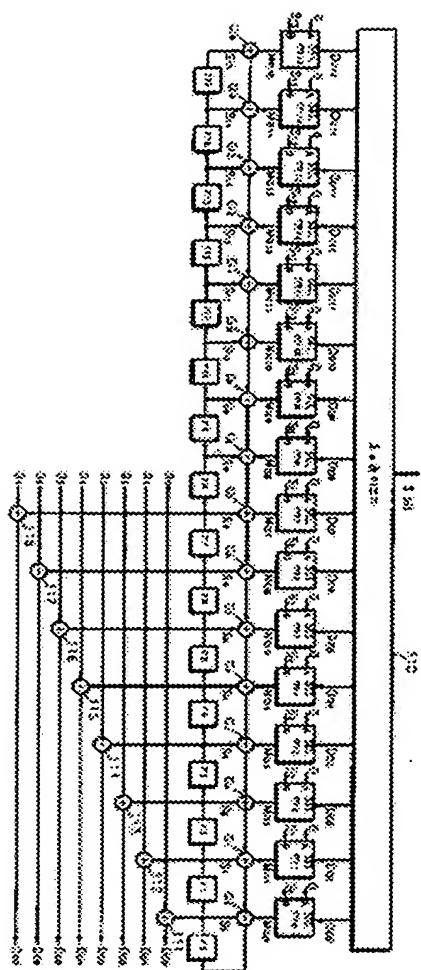
도면

ID(7:4)	초기값	ID(7:4)	초기값
0h	0001h	8h	0010h
1h	0000h	9h	0000h
2h	0002h	Ah	0020h
3h	240Ch	Bh	2001h
4h	0004h	Ch	0040h
5h	5400h	Dh	4002h
6h	0008h	Eh	0080h
7h	2800h	Fh	0805h

도면



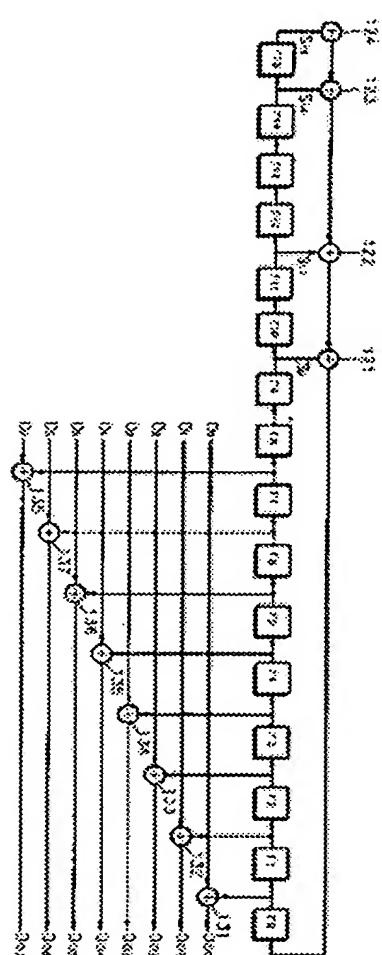
K289



K289

क्रमांक (क्रमांक)	(क्रमांक ~ क्रमांक)
000	810An
001	ABCBg
010	400Bg
011	412Bg
100	CABAg
101	00000
110	AB4Bg
111	8400n

卷之三



卷之三

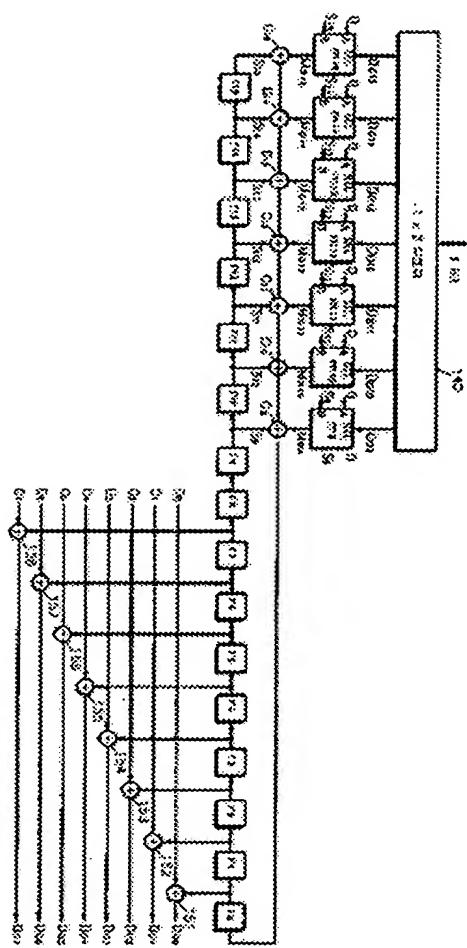
NO	운송여부와 접두 (1st~10)	소고기종류와 접두 (Beef~Beef)	NO	생육여부와 접두 (1st~10)	소고기종류와 접두 (Beef~Beef)
1	0001h	01h	"	"	"
2	0100h	03h	65534	ACEFH	EFh
3	0053h	53h	65535	EFODH	00h
4	5311h	11h	65536	00Q1h	01h
5	1100h	00h	65537	0100h	00h
6	0063h	63h	65538	0053h	53h
7	531Eh	1Eh	65539	5311h	11h
8	1E53h	53h	65540	1100h	00h
9	5353h	53h	65541	0063h	63h
"	"	"	65542	531Eh	1Eh

5288

NO	branch2 (Dots ~ Dots)	NO	branch2 (Dots ~ Dots)
1	8016h	27	8940h
2	801Ch	28	8A04h
3	8029h	29	9026h
4	8060h	30	9082h
5	810Ah	31	9120h
6	810Ch	32	9420h
7	8112h	33	9840h
8	8142h	34	9C00h
9	8148h	35	A084h
10	8150h	36	A101h
11	8214h	37	A108h
12	8241h	38	A140h
13	8244h	39	A440h
14	8248h	40	A801h
15	8260h	41	A840h
16	8320h	42	B010h
17	8406h	43	B400h
18	8430h	44	C009h
19	8540h	45	C00Ah
20	8580h	46	C042h
21	8610h	47	C108h
22	8608h	48	C120h
23	8821h	49	C208h
24	8841h	50	C801h
25	8842h	51	CAC0h
26	8920h	52	D008h

三

三



562

અનુ (Anu)	કાળ (Days ~ Dva)
૦	૪૫૦૦૮
૧	૦૪૦૦૮

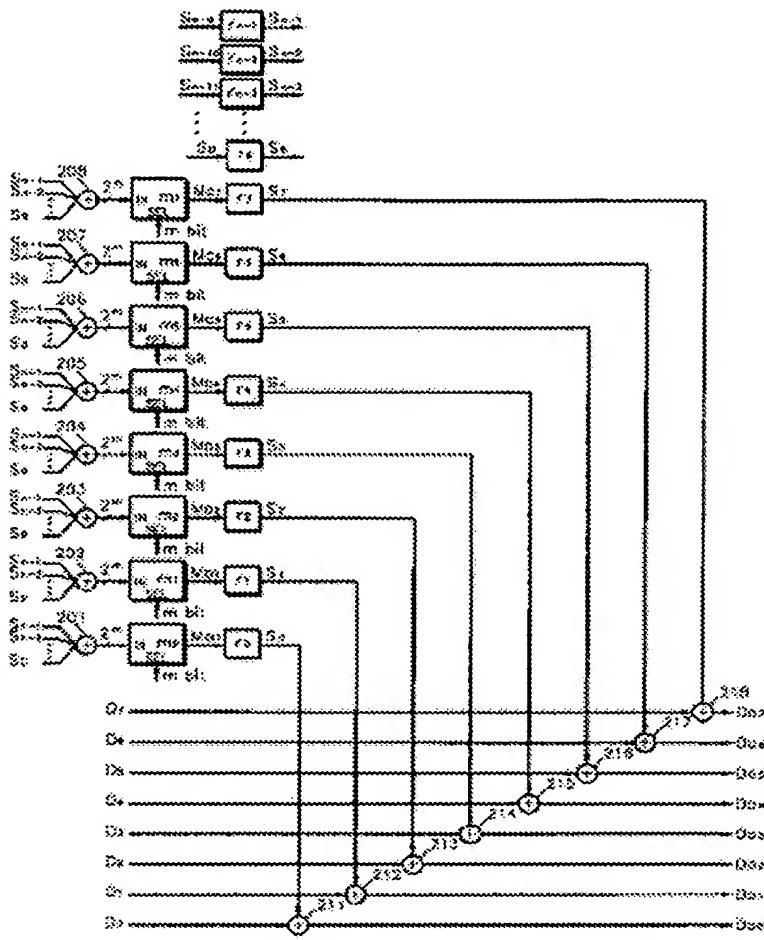
도면 8

NO	설정여부값 (r16~r0)	스프링값 (Dor~Dec)	NO	설정여부값 (r16~r0)	스프링값 (Dor~Dec)
1	0001h	01h	~	~	~
2	0100h	00h	65534	D080h	00h
3	0020h	20h	65535	B000h	00h
4	2004h	04h	65536	0001h	01h
5	0481h	51h	65537	0100h	00h
6	5180h	80h	65538	C020h	20h
7	80ADh	A0h	65539	2004h	04h
8	A013h	13h	65540	0401h	51h
9	13D3h	33h	65541	5100h	80h
~	~	~	65542	E0A0h	A0h

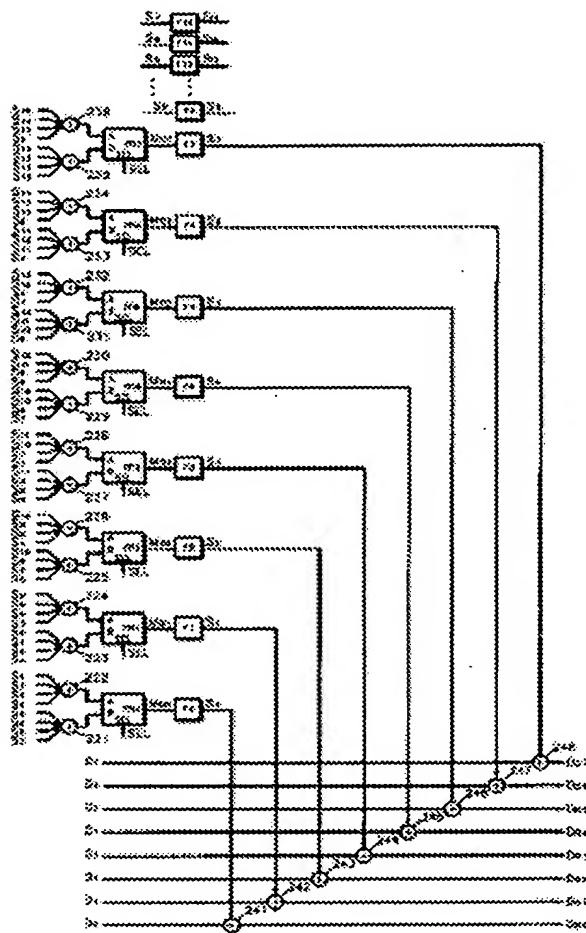
도면 9

NO	설정여부값 (r16~r0)	스프링값 (Dor~Dec)	NO	설정여부값 (r16~r0)	스프링값 (Dor~Dec)
1	0001h	01h	65536	0001h	01h
2	0100h	00h	65537	0100h	00h
3	0020h	20h	65538	0053h	53h
4	2004h	04h	65539	5311h	11h
~	~	~	~	~	~
65532	F85Ah	5Ah	131070	ACEFh	63h
65533	5AD0h	00h	131071	EFO0h	00h
65534	0080h	80h	131072	0021h	01h
65535	8000h	00h	131073	0100h	00h
65536	0000h	00h	131074	0020h	20h
			131075	2004h	04h

SBB



五路机



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.